

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-139079

(43)Date of publication of application : 16.05.2000

(51)Int.Cl. H02M 7/12  
G05F 1/455  
H02J 3/18  
H02M 3/155

(21)Application number : 11-148845 (71)Applicant : FAIRCHILD KOREA  
SEMICONDUCTOR LTD

(22)Date of filing : 27.05.1999 (72)Inventor : CHOI NAK-CHOON  
CHO KEIKI

(30)Priority

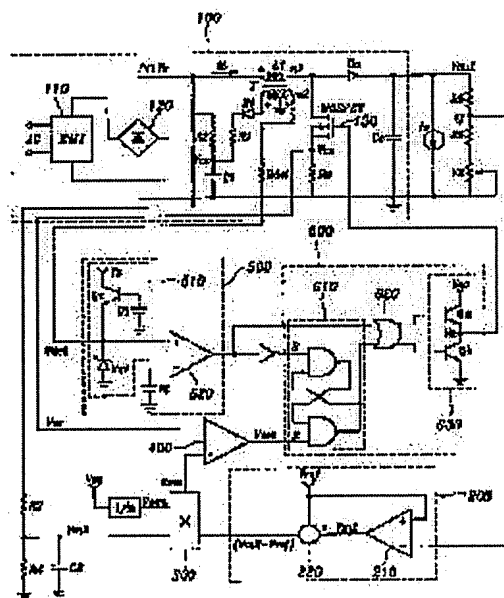
Priority number : 98 9819756 Priority date : 29.05.1998 Priority country : KR

## (54) POWER FACTOR COLLECTION CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a boundary mode PFC(power factor correction) controller which is not restricted by an input voltage.

SOLUTION: This power factor correction controller comprises a switching element 130 controlling a current of a primary coil connected with a transformer T, a converter part 100 having a first diode and a first capacitor, an error amplifying part 200 having an adder subtractor 220 which subtracts an output of an error amplifier 210 amplifying the difference between a voltage proportional to the output voltage of the converter part 100 and a first reference voltage, from a second reference voltage, an operating part 300 which receives a first input voltage, a second input voltage and an output voltage of the adder subtractor 220 and outputs a voltage which is proportional to the first input voltage and the output voltage of the adder subtractor 220 and inversely proportional to the output voltage to the second input voltage, a comparator 400 comparing a voltage of the switching element with an output voltage of the operating



part 300, a zero current detecting part 500 detecting a zero current of the secondary coil of the transformer T, and a switching drive part 600 turning on and off the switching element by an output voltage of the comparator 400 and an output value of the zero current detecting part 500.

ated Reference 8.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-139079

(P2000-139079A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 2 M 7/12		H 0 2 M 7/12	P
			A
G 0 5 F 1/455		G 0 5 F 1/455	Z
H 0 2 J 3/18		H 0 2 J 3/18	
H 0 2 M 3/155		H 0 2 M 3/155	H

審査請求 有 請求項の数13 O L (全 11 頁)

(21) 出願番号 特願平11-148845

(22) 出願日 平成11年5月27日 (1999.5.27)

(31) 優先権主張番号 1 9 9 8 1 9 7 5 6

(32) 優先日 平成10年5月29日 (1998.5.29)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 599066333

フェアチャイルド코리아半導体株式会社

大韓民国京畿道富川市遠美區陶唐洞82-3

(72) 発明者 崔 洛春

大韓民国京畿道富川市遠美區陶唐洞82-3

(72) 発明者 張 慶熙

大韓民国京畿道富川市遠美區陶唐洞82-3

(74) 代理人 100064908

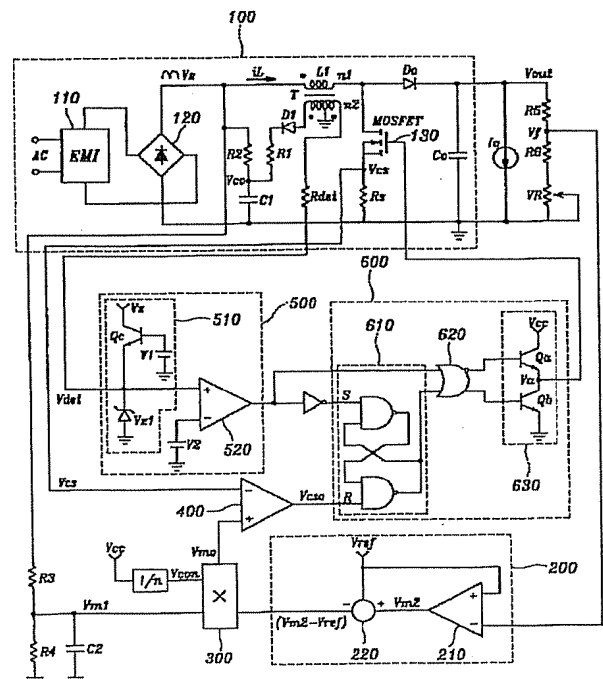
弁理士 志賀 正武 (外9名)

(54) 【発明の名称】 力率補正制御器

(57) 【要約】

【課題】 入力電圧の制限を受けない境界モード P F C 制御器を提供する。

【解決手段】 変圧器 T に接続された 1 次コイルの電流を制御するスイッチング素子 1 3 0 と、第 1 ダイオード及び第 1 キャパシタとを有するコンバータ部 1 0 0 と、コンバータ部 1 0 0 の出力電圧に比例する電圧と第 1 基準電圧との差を増幅するエラー増幅器 2 0 0 の出力を第 2 基準電圧に減算する加減器 2 2 0 を有するエラー増幅部 2 0 0 と、第 1、第 2 入力電圧と加減器 2 2 0 の出力電圧を入力とし、第 1 入力電圧と加減器 2 2 0 の出力電圧に比例し第 2 入力電圧に逆比例する電圧を出力する演算部 3 0 0 と、スイッチング素子の電圧と演算部 3 0 0 の出力電圧を比較する比較器 4 0 0 と、変圧器 T の 2 次コイルの零電流を検知する零電流検知部 5 0 0 と、比較器 4 0 0 の出力電圧と零電流検知部 5 0 0 の出力値によってスイッチング素子をオン、オフさせるスイッチング駆動部 6 0 0 とを含む。



## 【特許請求の範囲】

【請求項 1】 入力電源に 1 次コイルが接続される変圧器と、前記 1 次コイルに流れる電流を制御するスイッチング素子と、前記 1 次コイルの出力電圧を整流化して負荷に供給する第 1 ダイオード及び第 1 キャパシタとを有するコンバータ部と、

前記コンバータ部の出力電圧に比例する電圧と第 1 基準電圧との差を増幅するためのエラー増幅器と、前記エラー増幅器の出力を第 2 基準電圧に減算するための加減器を有するエラー増幅器と、

前記コンバータ部の入力電圧に比例する第 1、第 2 入力電圧と前記加減器の出力電圧を入力とし、前記第 1 入力電圧と前記加減器の出力電圧には比例し前記第 2 入力電圧には逆比例する電圧を出力する演算部と、

前記スイッチング素子に流れる電流を検知した電圧と前記演算部の出力電圧とを比較するための比較器と、前記変圧器の 2 次コイルの零電流を検知するための零電流検知部と、

前記比較器の出力電圧と前記零電流検知部の出力値によって前記スイッチング素子をオン、オフさせるスイッチング駆動部とを含む力率補正制御器。

【請求項 2】 前記第 1 ダイオード、前記第 1 キャパシタ、前記スイッチング素子はブーストコンバータを形成する請求項 1 に記載の力率補正制御器。

【請求項 3】 前記スイッチング素子は MOSFET である請求項 2 に記載の力率補正制御器。

【請求項 4】 前記第 1 基準電圧と前記第 2 基準電圧は同一電圧である請求項 3 に記載の力率補正制御器。

【請求項 5】 前記スイッチング駆動部は、前記演算部の出力電圧と前記スイッチング素子に流れる電流を検知した電圧とが同じようになる場合において前記スイッチング素子をオフさせ、前記変圧器の 2 次コイルの零電流を検知した場合において前記スイッチング素子をオンさせる請求項 1 に記載の力率補正制御器。

【請求項 6】 前記零電流検知部は、前記変圧器の 2 次コイルの逆起電力電圧と第 3 基準電圧とを比較して前記コイルの零電流を検知する零電流検知器を含む請求項 1 に記載の力率補正制御器。

【請求項 7】 前記零電流検知部は、前記変圧器の 2 次コイルの逆起電力電圧をクランプするためのクランプ回路をさらに含む請求項 6 に記載の力率補正制御器。

【請求項 8】 前記スイッチング駆動部は、前記比較器の出力電圧がリセット端子に入力され、前記零電流検知器の反転出力電圧がセット端子に入力される R-S ラッチ回路と、前記零電流検知器の出力電圧と前記 R-S ラッチ回路の出力電圧とが入力されるノアゲートと、前記ノアゲートの出力によって前記スイッチング素子を

オン、オフさせる駆動回路を含む請求項 7 に記載の力率補正制御器。

【請求項 9】 前記コンバータ部は、前記変圧器の 2 次コイルの一端に接続された第 2 ダイオードと、前記第 2 ダイオードと接地点との間に直列に接続された第 1 抵抗と第 2 キャパシタとをさらに含む請求項 1 に記載の力率補正制御器。

【請求項 10】 前記第 1 入力電圧は、前記コンバータ部の入力電源を第 2 及び第 3 抵抗に分配した電圧であり、

前記第 2 入力電圧は前記第 2 キャパシタに充電された電圧を所定の値に割った電圧である請求項 9 に記載の力率補正制御器。

【請求項 11】 前記加減器は、前記第 2 基準電圧と前記エラー増幅器の出力電圧とがそれぞれベースに入力され、互いに差動対をなす第 1 タイプの第 1、第 2 トランジスタと、

前記第 1、第 2 トランジスタのエミッタと電流源 I 1 との間にそれぞれ接続される第 1、第 2 抵抗と、

前記第 1、第 2 トランジスタのコレクタがそれぞれ接続されて互いに電流ミラーを形成する第 3、4 トランジスタ Q 20、Q 21 を含む請求項 1 に記載の力率補正制御器。

【請求項 12】 前記演算部は、電源電圧 V<sub>in</sub> にエミッタが接続された第 1 タイプの第 5 トランジスタ Q 2 と、前記第 5 トランジスタ Q 2 のベースとコレクタにコレクタが接続される第 2 タイプの第 6 トランジスタ Q 1 と、前記第 2 入力電圧が第 1 入力端子に接続され、前記第 6 トランジスタ Q 1 のエミッタが第 2 入力端子に接続され、出力値が前記第 6 トランジスタ Q 1 のベースに接続される OP アンプ OP と、前記第 6 トランジスタ Q 1 のエミッタと接地点との間に接続される第 3 抵抗 R<sub>c</sub> とを有し、

前記第 5 トランジスタ Q 2 と電流ミラーを形成する第 1 タイプの第 7 トランジスタ Q 3 と第 7 トランジスタ Q 3 のコレクタにベースとコレクタが接続される第 2 タイプの第 8、第 9 トランジスタ Q 4、Q 5 と、前記第 8、9 トランジスタ Q 4、Q 5 のエミッタにそれぞれ一端が接続される第 4、第 5 抵抗 R<sub>b</sub>、R<sub>b</sub> と、前記第 4、第 5 抵抗 R<sub>b</sub>、R<sub>b</sub> の他端にそれぞれエミッタが接続されて互いに差動対をなしながらベースにそれぞれ接地電圧と前記第 1 入力電圧とが接続される第 1 タイプの第 10、第 11 トランジスタ Q 7、Q 8 と、前記第 10、第 11 トランジスタ Q 7、Q 8 のベースと電流源 I 1 にエミッタが接続される第 1 タイプの第 12、第 13 トランジスタ Q 6、Q 9 とを有し、

前記電源電圧 V<sub>in</sub> にエミッタが共通接続されて電流ミラーを形成する第 1 タイプの第 14、第 15 トランジスタ Q 10、Q 11 と、前記第 14、第 15 トランジスタ

Q10、Q11のコレクタにコレクタが接続されて差動対をなしながらベース端子間に前記第8、第9トランジスタQ4、Q5のエミッタ端子間の電圧が印加される第2タイプの第16、17トランジスタQ12、Q13と、前記第16、17トランジスタQ12、Q13のエミッタにコレクタが接続される第2タイプの第18トランジスタQ14と、前記第18トランジスタQ14とミラーを形成しエミッタが前記加減器220の第1、第3トランジスタQ18、Q20の共通コレクタに接続される第2タイプの第19トランジスタQ15とを有し、前記電源電圧 $V_{in}$ にエミッタが接続され、ベースとコレクタが前記第15トランジスタQ11のコレクタに接続される第1タイプの第20トランジスタQ16と、前記第20トランジスタQ16と電流ミラーを形成する第1タイプの第21トランジスタQ17と、前記第21トランジスタQ17のコレクタと接地点との間に接続される第6抵抗 $R_{m0}$ とを有し、前記第21トランジスタのコレクタと前記第6抵抗との間の接点の電圧が前記比較器に入力される請求項11記載の力率補正制御器。

【請求項13】 前記第1タイプのトランジスタはpnp形バイポーラトランジスタであり、前記第2タイプのトランジスタはnpn形バイポーラトランジスタである請求項12に記載の力率補正制御器。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、力率補正 (Power Factor Correction; 以下 'PFC' という) 制御に係り、特にブーストコンバータを利用した境界モード (boundary mode) PFC制御器に関する。

##### 【0002】

【従来の技術】 図1はブーストコンバータを利用した従来の境界モードPFC制御器を示した図面である。図1に示したように、従来の境界モードPFC制御器はブーストコンバータ部10、スイッチング20からなる。図1においてブーストコンバータ部10は入力交流電源ACを整流して電源電圧 $V_s$ を出力し、整流された電圧 $V_s$ をスイッチング素子MOSFETの動作に従って負荷に所定電圧 $V_{out}$ を出力する。

【0003】 スwitching制御部20は、前記ブーストコンバータ部10のスイッチング素子を制御するためのものであって、入力電源の変動や出力電圧の変動がある場合にこれを検知して前記スイッチング素子を制御することにより、ブーストコンバータの出力電圧を所定値に調整する。

【0004】 図1において、例えば、入力電源が増加したと仮定すれば、電圧 $V_s$ を分配抵抗 $R_3$ 、 $R_4$ に分配した電圧である $V_{m1}$ は増加し、これによって乗算器23の出力電圧 $V_{m0}$ も共に増加するようになる。そうすると、比較器24に入力される2つの電圧 $V_{m0}$ 、 $V_c$

sが同一になる時点が遅延し、これによってスイッチング素子のオンの区間は増加するようになる。従って、ブーストコンバータ部10の出力電圧 $V_{out}$ は増加する。

【0005】 一方、ブーストコンバータ部10の出力電圧 $V_{out}$ が増加する場合にはエラー増幅器21の出力電圧 $V_{m2}$ が減少し、これによって加減器23の出力電圧である $V_{m2}-V_{ref}$ は減少するようになる。

【0006】 このように、境界モードPFC制御器によれば、入力電源が上昇する場合、瞬に乗算器の出力電圧 $V_{m0}$ は増加するが、ブーストコンバータ部10の出力電圧の上昇によって乗算器23に入力される加減器の出力電圧 $V_{m2}-V_{ref}$ が減少することになって乗算器の出力電圧 $V_{m0}$ は減少するようになる。従って、乗算器の出力電圧 $V_{m0}$ は入力電圧の上昇に拘わらず一定であり、これによってブーストコンバータ部10の出力電圧 $V_{out}$ は調整される。

【0007】 すなわち、図2に示したように、入力電源が上昇して電圧 $V_{m1}$ が伝ある $V_{m1}'$ に上昇すると、エラー増幅器21の出力電圧は $V_{m2}$ から $V_{m2}'$ に下降し、つまり乗算器の出力電圧 $V_{m0}$ は一定に維持される。

##### 【0008】

【発明が解決しようとする課題】 しかしながら、従来の境界モードPFC制御器によれば、入力電圧が一定の電圧以上に大幅に上昇する場合には、エラー増幅器の出力電圧 $V_{m2}$ が基準電圧 $V_{ref}$ より大きくなって、ブーストコンバータ部10の出力電圧をそれ以上調整することができないという問題点がある。すなわち、従来の境界モードPFC制御器においては、入力電圧の変動範囲が基準電圧 $V_{ref}$ によって制限されるという問題点がある。

【0009】 本発明は前記に鑑みてなされたもので、その目的は、入力電圧の変動範囲に殆ど制限を受けない境界モードPFC制御器を提供することにある。

##### 【0010】

【課題を解決するための手段】 前記目的を達成するために、本発明による力率補正制御器は、コンバータ部、エラー増幅器、演算部、比較器、零電流検知部、スイッチング駆動部からなる。

【0011】 コンバータ部は入力電源に1次コイルが接続される変圧器と前記1次コイルに流れる電流を制御するスイッチング素子と、前記1次コイルの出力電圧を整流化して負荷に供給する第1ダイオード及び第1キャパシタを含む。

【0012】 ここで、第1ダイオード、第1キャパシタ及びスイッチング素子はブーストコンバータを形成することが好ましく、前記スイッチング素子はMOSFET (metal oxide semiconductor field effect transistor) であるのが好ましい。また、前記コンバータ部は変

圧器の2次コイルの一端に接続された第2ダイオードと、前記第2ダイオードと接地点との間に直列に接続された第1抵抗と第2キャパシタとをさらに含むのが好ましい。

【0013】エラー増幅部はコンバータ部の出力電圧に比例する電圧と第1基準電圧との差を増幅するためのエラー増幅器と、前記エラー増幅器の出力を第2基準電圧に減算するための加減器とを含む。ここで、第1基準電圧と第2基準電圧とは同一の電圧であることが好ましい。

【0014】演算部はコンバータ部の入力電圧に比例する第1、第2入力電圧と前記加減器の出力電圧を入力とし、前記第1入力電圧と前記加減器の出力電圧に比例し、前記第2入力電圧には逆比例する電圧を出力する。ここで、前記第1入力電圧は前記コンバータ部の入力電圧を第2及び第3抵抗に分配した電圧であり、前記第2入力電圧は前記第2キャパシタに充電された電圧を所定の値で割った電圧であるのが好ましい。

【0015】比較器は前記スイッチング素子に流れる電流を検知した電圧と前記演算部の出力電圧とを比較し、零電流検知部は前記変圧器の2次コイルの零電流を検知する。

【0016】ここで、零電流検知部は前記変圧器の2次コイルの逆起電力電圧と第3基準電圧とを比較して前記コイルの零電流を検知する零電流検知器を含むことが好ましく、また、前記変圧器の2次コイルの逆起電力電圧をクランピングするためのクランプ回路をさらに含むことが好ましい。

【0017】スイッチング駆動部は前記演算部の出力電圧と前記スイッチング素子に流れる電流を検知した電圧とが同一になる場合において前記スイッチング素子をオフし、前記変圧器の2次コイルの零電流を検知した場合において前記スイッチング素子をオンする。

【0018】ここで、前記スイッチング駆動部は前記比較器の出力電圧がリセット端子に入力され、前記零電流検知器の反転出力電圧がセット端子に入力されるR—Sラッチ回路と、前記零電流検知器の出力電圧と前記R—Sラッチ回路の出力電圧とが入力されるノアゲートと、前記ノアゲートの出力に従って前記スイッチング素子をオン、オフする駆動回路とを含むのが好ましい。

\*40

$$V_{mo} = \{ K \times V_{m1} \times (V_{m2} - V_{ref}) \} / V_{con} \quad \dots (1)$$

ここで、 $V_{con}$ は抵抗 $R_2$ とキャパシタ $C_1$ との間の接点の電圧 $V_{cc}$ 、すなわち、キャパシタ $C_1$ に充電される電圧を所定の常数 $n$ で割った値である。

【0027】また、キャパシタ $C_1$ に充電される電圧 $V_{cc}$ は(2)式で求められる。

$$V_{cc} = \{ n_2 / n_1 \} \times |V_s| \quad \dots (2)$$

ここで、 $n_1$ 、 $n_2$ はそれぞれ1次コイルと2次コイルの巻き付け回数を表し、 $|V_s|$ は $V_s$ の平均自乗根 (root mean square ;rms) を表す。

\* 【0019】

【発明の実施の形態】以下、本発明の実施形態について図面に基づいて詳細に説明する。

【0020】図3は、本発明の実施形態による境界モードPFC制御器を示した図面である。図3に示したように、本発明の実施形態による境界モードPFC制御器は、ブーストコンバータ部100、エラー増幅部200、演算部300、比較器400、零電流検出部500、スイッチング駆動部600からなる。

10 【0021】ブーストコンバータ部100は入力交流電圧ACの電磁波干渉を除去するためのEMI (electromagnetic interface) フィルタ110、入力交流電圧ACを整流して電源電圧 $V_s$ を出力する整流器120、変圧器T、ダイオードD0、D1、キャパシタC0、C1、抵抗 $R_1$ 、 $R_2$ 、 $R_s$ 、 $R_{det}$ 及びスイッチングモスFET (field effect transistor) 130からなる。ここで、変圧器Tの1次コイルL1、ダイオードD0、キャパシタC0、スイッチングMOSFET 130はブーストコンバータをなす。

20 【0022】変圧器Tの2次コイルの midpoint 当りは接地されており、2次コイルの一端は抵抗 $R_{det}$ に接続され、2次コイルの他端はダイオードD1を通して抵抗 $R_1$ に接続される。抵抗 $R_1$ は抵抗 $R_2$ とキャパシタC1との接点に接続される。

【0023】スイッチングモスFET 130のソースは抵抗 $R_s$ を通して接地点に接続され、スイッチングMOSFETのソースと抵抗 $R_s$ との間の接点は比較器400の反転入力端子に接続される。

30 【0024】エラー増幅部200は前記ブーストコンバータ部100の出力電圧 $V_{out}$ を分配した電圧 $V_f$ を反転入力端子とし、基準電圧を非反転入力端子とするエラー増幅器210と、エラー増幅器210の出力電圧 $V_m2$ を前記基準電圧 $V_{ref}$ に減算するための加減器220とからなる。

【0025】演算部300は加減器220の出力電圧 $V_{m2} - V_{ref}$ と前記入力電源 $V_s$ を分配した電圧である $V_{m1}$ と電圧 $V_{con}$ とを入力とし、(1)式から求められる $V_{mo}$ 値を出力とする。

【0026】

【0028】比較器400は前記演算部300の出力電圧 $V_{mo}$ を非反転端子に入力し、スイッチングモスFET 130に流れる電流を検知した電圧 $V_{cs}$ を反転入力端子にして比較した後、電圧 $V_{cso}$ を出力する。

50 【0029】零電流検出部500は、変圧器の2次コイルに接続される検知抵抗 $R_{det}$ に検出される検知電圧 $V_{det}$ をクランピングするためのクランプ回路510と、クランピングされた前記電圧を非反転入力端子とし、基準電圧 $V_2$ を反転入力端子とする零電流検知器5

20とからなる。

【0030】スイッチング駆動部600は、零電流検知器520の出力電圧の反転信号と比較器400の出力電圧 $V_{cs}$ をそれぞれセットS、リセットR信号とするR-Sラッチ610と、前記R-Sラッチ610の出力信号と電流検知器の出力電圧を入力とするノアゲート620と前記ノアゲートの出力信号に従って前記スイッチングMOSFET130をオン、オフさせる駆動部630とからなる。

【0031】以下、本発明の実施形態による境界モードPFC回路の動作について図3及び図4に基づいて詳細に説明する。

【0032】演算部300の出力電圧 $V_{m0}$ は数式1からわかるように、入力電圧 $V_s$ の分配電圧である電圧 $V_{m1}$ に比例する。従って、電圧 $V_{m0}$ の波形は電源電圧 $V_s$ と同一の位相の波形になる。

【0033】スイッチングMOSFETがオンになると変圧器の1次コイルL1に流れる電流は殆ど線形的に増加し、これによって検知電圧 $V_{cs}$ も図4に示したように殆ど線形的に増加する。検知電圧 $V_{cs}$ が増加して電圧 $V_{m0}$ と同じになると、比較器400はパルス電圧を出力するようになる。従って、R-Sラッチはリセットされて駆動部630の出力電圧 $V_a$ はロー状態となり、これによってスイッチングMOSFET130はオフになる。

【0034】スイッチングMOSFET130がオフになると、変圧器の1次コイルには逆起電力が誘起されるため電圧 $V_{det}$ は陽の電圧を持つようになる。図3に示したように、スイッチングMOSFETがオフになると、1次コイルに流れる電流は殆ど線形的に減少して、結局、流れる電流が殆どなくなる。電流が流れない時点（零電流時点）においては、電圧 $V_{det}$ は殆どゼロに近くなり、これによって零電流検知器500はハイ電圧を出力するようになる。この電圧はR-Sラッチのセット端子に入力されるので、R-Sラッチはセットされ、これによって駆動部630はの出力電圧 $V_a$ はハイ状態となる。従って、スイッチングMOSFETは再度オンとなり、前記のような過程を繰り返す。

【0035】次に、入力電源が変動した場合における本発明による動作について図3及び図5に基づいて説明する。入力電源 $V_s$ が上昇したと仮定すれば、前記入力電圧 $V_s$ を分配抵抗R3、R4に分配した電圧は $V_{m1}$ から $V_{m1}'$ に上昇し、また、数式2からわかるようにキャパシタC1に貯蔵された電圧 $V_{cc}$ も上昇する。従って、 $V_{con}$ 電圧が $V_{con}'$ に上昇する。

【0036】(1)式からわかるように、演算部300の出力電圧 $V_{m0}$ は電圧 $V_{m1}'$ に比例し、 $V_{con}'$ に反比例するため、エラー増幅器210の出力電圧 $V_{m2}$ の変動量が極めて小さくても演算部の出力電圧 $V_{m0}$ を調整することができる。

【0037】つまり、入力電圧 $V_s$ の変動量を検知する電圧 $V_{m1}$ をフィードフォワードの役割を果たす電圧 $V_{con}$ が補償するため、演算部の出力電圧をフィードバック制御するエラー増幅器210の出力電圧 $V_{m2}$ の変動量は図1の従来PFC制御器に比べて小さくなる。従って、演算部の動作範囲は殆ど制限がなくて広範囲の入力電圧に対して出力電圧 $V_{out}$ を安定して調整することができる。

【0038】次は、本発明の実施形態による演算部について詳細に説明する。図6は図3の演算部300及び加減器220の詳細回路を示した図面である。図6において、加減器220は差動対(differential pair)をなすpnpトランジスタQ18、Q19と前記トランジスタQ18、Q19のエミッタと電流源I1との間にそれぞれ接続される抵抗 $R_{a1}$ 、 $R_{a2}$ 、前記トランジスタQ18、Q19のコレクタにコレクタがそれぞれ接続され、電流ミラーを形成するnpnトランジスタQ20、Q21からなる。

【0039】トランジスタQ18、Q19のベースにはそれぞれ基準電圧 $V_{ref}$ と図3のエラー増幅器210の出力電圧 $V_{m2}$ とが印加される。

【0040】演算部300は、 $V_{con}$ 入力部310、第1差動増幅部320、第2差動増幅部330、 $V_{m0}$ 出力部340からなる。

【0041】 $V_{con}$ 入力部310は、入力電源 $V_{in}$ にエミッタが接続されたpnpトランジスタQ2、前記トランジスタQ2のベースとコレクタにコレクタが接続されるnpnトランジスタQ1、図3の電圧 $V_{con}$ が反転入力端子に接続されて前記トランジスタQ1のエミッタが非反転入力端子に接続され、出力値が前記トランジスタQ1のベースに接続されるOPアンプOP、前記トランジスタQ1のエミッタと接地点との間に接続される抵抗 $R_c$ からなる。

【0042】第1差動増幅部320は前記 $V_{con}$ 入力部310のトランジスタQ2と電流ミラーを形成するpnpトランジスタQ3、前記トランジスタQ3のコレクタにベースとコレクタとが接続されるnpnトランジスタQ4、Q5、トランジスタQ4、Q5のエミッタに一端がそれぞれ接続される抵抗 $R_{b1}$ 、 $R_{b2}$ 、抵抗 $R_{b1}$ 、 $R_{b2}$ の他端にエミッタがそれぞれ接続されて互いに差動対をなすpnpトランジスタQ7、Q8、前記トランジスタQ7、Q8のベースと電流源I1とにエミッタが接続されるpnpトランジスタQ6、Q9からなる。トランジスタQ6、Q9のベースにはそれぞれ接地電圧と電圧 $V_{m1}$ が印加される。

【0043】第2差動増幅部330は入力電源 $V_{in}$ にエミッタが共通接続されて電流ミラーを形成するpnpトランジスタQ10、Q11、前記トランジスタQ10、Q11のコレクタにコレクタが接続されて差動対をなすnpnトランジスタQ12、Q13、前記トランジ

スタQ12、Q13のエミッタにコレクタが接続されるnpnトランジスタQ14、前記トランジスタQ14とミラーを形成するnpnトランジスタQ15からなる。

【0044】前記トランジスタQ13、Q12のベース間にはトランジスタQ5、Q4のエミッタ端子間の電圧 $\Delta V$ が印加され、前記トランジスタQ15のコレクタは前記加減器220のトランジスタQ18、Q20の共通コレクタに接続される。

【0045】 $V_{mo}$ 出力部340は、入力電源 $V_{in}$ にエミッタが接続されて電流ミラーを形成するpnpトランジスタQ16、Q17、トランジスタQ17のコレクタと接地点との間に接続される抵抗 $R_{mo}$ からなる。前記トランジスタQ16のコレクタとベースとは、前記トランジスタQ13のコレクタに接続され、前記トランジスタQ17のコレクタと抵抗 $R_{mo}$ との間の接点の電圧 $V_{mo}$ は、図3の比較器400の反転入力端子に接続される。

【0046】以下、図6の演算部及び加減器の各トランジスタに流れる電流及び電圧について説明する。

【0047】比較器の反転入力端子に印加される電圧 $V_{mo}$ は、(3)式の通りである。

$$V_{mo} = i_{mo} \times R_{mo} \quad \dots (3)$$

ここで、 $i_{mo}$ はトランジスタQ17のコレクタに流れる電流である。また、トランジスタQ17と電流ミラーを形成しているトランジスタQ16のコレクタにも電流 $i_{mo}$ が流れる。

\*

$$V_{ref} + V_{be}(Q18) + (i_{19} + i_{sm}) \times R_{a1} = i_{19} \times R_{a2} + V_{be}(Q19) + V_{m2}$$

$$\dots (5)$$

【0052】ここで、 $V_{be}(Q18)$ 、 $V_{be}(Q19)$ は、それぞれのトランジスタQ18、Q19のベース-エミッタ間の電圧である。 $V_{be}(Q18)$ と $V_{be}(Q19)$ とが同一であり、 $R_{a1} = R_{a2} = R_a$ とすると、

(5)式から次の式が成立する。

※

$$i_{mo} = \{ (V_{m2} - V_{ref}) / R_a \} \times \tanh(\Delta V / 2V_T) \quad \dots (7)$$

【0055】一方、トランジスタQ1のエミッタには、OPアンプOPの非反転入力端子が接続されているため、トランジスタQ1のコレクタの電圧はOPアンプの反転入力端子の電圧、すなわち、 $V_{con}$ と同一になる。従って、トランジスタQ1のエミッタ（または、コレクタ）に流れる電流 $i_{con}$ は次の(8)式の通りである。

$$i_{con} = V_{con} / R_c \quad \dots (8)$$

★

$$i_x - i_y = i_{con} \times \tanh(\Delta V / 2V_T) = V_{m1} / R_b \quad \dots (9)$$

【0057】(8)式及び(9)式から、次の(10)☆ ☆式が求められる。

$$\tanh(\Delta V / 2V_T) = (V_{m1} \times R_c) / (R_b \times V_{con}) \quad \dots (10)$$

【0058】(10)式を(7)式に代入すると、次の◆ ◆(11)式が求められる。

$$i_{mo} = \{ (V_{m2} - V_{ref}) / R_a \} \times \{ (V_{m1} \times R_c) / (R_b \times V_{con}) \} \quad \dots (11)$$

【0059】(11)式及び(3)式から出力電圧 $V_{mo}$  \* oは、次の(12)式が求められる。

$$V_{mo} = \{ (V_{m2} - V_{ref}) / R_a \} \times \{ (V_{m1} \times R_c \times R_{mo}) / (R_b \times V_{con}) \}$$

\* 【0048】一方、トランジスタQ10、Q11は電流ミラーを形成しているため、コレクタには共に電流 $i_{10}$ が流れる。従って、トランジスタQ13のコレクタ（または、エミッタ）には $i_{mo} + i_{10}$ の電流が流れ、トランジスタQ12のコレクタ（または、エミッタ）には $i_{10}$ の電流が流れる。

【0049】前記のようにトランジスタQ13、Q12を流れる電流が異なることは、トランジスタQ13、Q12のベースに印加される電圧 $\Delta V$ に差が生ずるためであり、この電流の差 $i_{mo}$ は(4)式の通りである。

$$i_{mo} = i_{sm} \times \tanh(\Delta V / 2V_T) \quad \dots (4)$$

ここで、 $i_{sm}$ はトランジスタQ14のコレクタに流れる電流であり、その値はトランジスタQ12、Q13のエミッタに流れる電流の和、すなわち、 $i_{10} + (i_{10} + i_{mo})$ と同一である。また、 $V_T$ はサーマル電圧(thermal voltage)である。

【0050】一方、トランジスタQ20、Q21は、電流ミラーを形成しており、トランジスタQ19はトランジスタQ21と直列に接続されているため、トランジスタQ19、Q20、Q21のコレクタ（または、エミッタ）は共に電流 $i_{19}$ が流れる。従って、トランジスタQ18のコレクタには $i_{19} + i_{sm}$ の電流が流れる。

【0051】図6の加減器220において、キルヒホッフ(Kirchihoff)の電圧法則(KVL)によって次の(5)式が成立する。

※ 【0053】

$$i_{sm} = (V_{m2} - V_{ref}) / R_a \quad \dots (6)$$

【0054】(4)式及び(6)式から、次の(7)式が求められる。

★ トランジスタQ3はトランジスタQ2と電流ミラーを形成するため、トランジスタQ3のコレクタに流れる電流もまた $i_{con}$ となる。

【0056】一方、トランジスタQ5とトランジスタQ4のエミッタに流れる電流の差( $i_x - i_y$ )が $R_{a1} = R_{b2} = R_b$ とすると、(4)式及び(7)式と同様な方法にて次の(9)式で求められる。



(12) 式は、上記数式1の通り、演算部300の出力電圧 $V_{mo}$ は電圧 $V_{m1}$ と $(V_{m2}-V_{ref})$ とに比例し、電圧 $V_{con}$ には逆比例する。すなわち、図3の $K = (R_c \times R_{mo}) / (R_a \times R_b)$ となる。

【0060】以上、前記実施形態は一実施形態に過ぎず、本発明が前記実施形態に限られるわけではなく、種々に変形して実施できる。

【0061】例えば、本発明の実施形態にはブーストコンバータを用いたが、その他のコンバータ（たとえば、バック（Buck）コンバータ など）を用いることも可能である。また、本発明の実施形態においては、スイッチ駆動部としてR-Sレッチ、ノアゲートを用いたが、それ以外の論理回路又は制御回路を用いることも可能である。

【0062】また、電圧 $V_{m1}$ と電圧 $V_{m2}-V_{ref}$ とに比例し、 $V_{con}$ には逆比例する演算部300の例として図6の回路を説明したが、それ以外の回路で具現することも可能である。また、図6では、バイポーラトランジスタで回路を具現したが、それ以外にモストランジスタで回路を具現することも可能である。

【0063】

【発明の効果】以上、説明した通り、本発明の実施形態によれば、入力電圧の変動量を検知する電圧 $V_{m1}$ をフィードフォワード役割を果たす電圧 $V_{con}$ が補償するため、演算部の動作範囲は殆ど制限がなくて広い範囲の入力電圧に対し、出力電圧を安定して調整することができる。

\*

\* 【図面の簡単な説明】

【図1】 従来の境界モード力率補正制御器を示した回路図である。

【図2】 図1において入力電源が変動した場合の波形を示した図である。

【図3】 本発明の実施形態による境界モード力率補正制御器を示した図である。

【図4】 図3の動作を説明するための波形図である。

10 【図5】 図3において入力電源が変動した場合の波形を示した図である。

【図6】 図3の演算部及び加減器の詳細回路を示した図である。

【符号の説明】

100 ブーストコンバータ部

110 EMIフィルタ

120 整流器

130 スイッチングMOSFET

200 エラー増幅部

300 演算部

400 比較器

500 零電流検出部

600 スイッチング駆動部

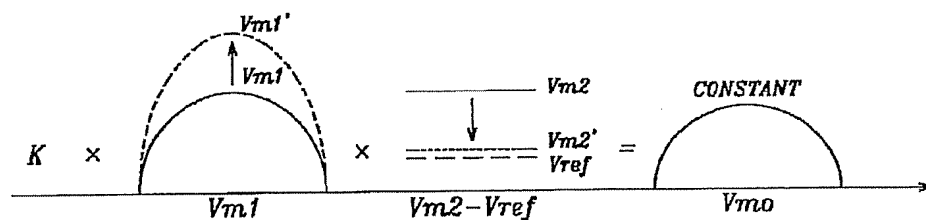
T 変圧器

D1、D2 ダイオード

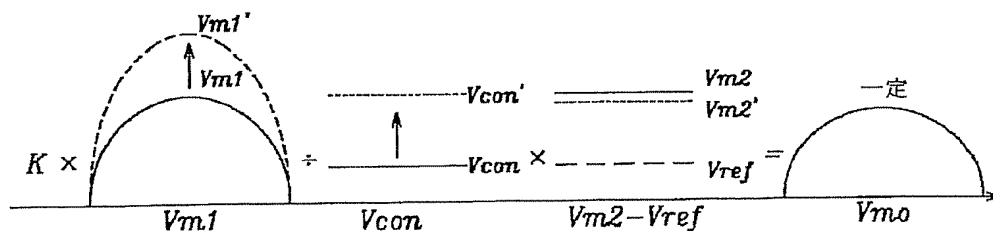
C0、C1 キャパシタ

R1、R2、Rs、Rdet 抵抗

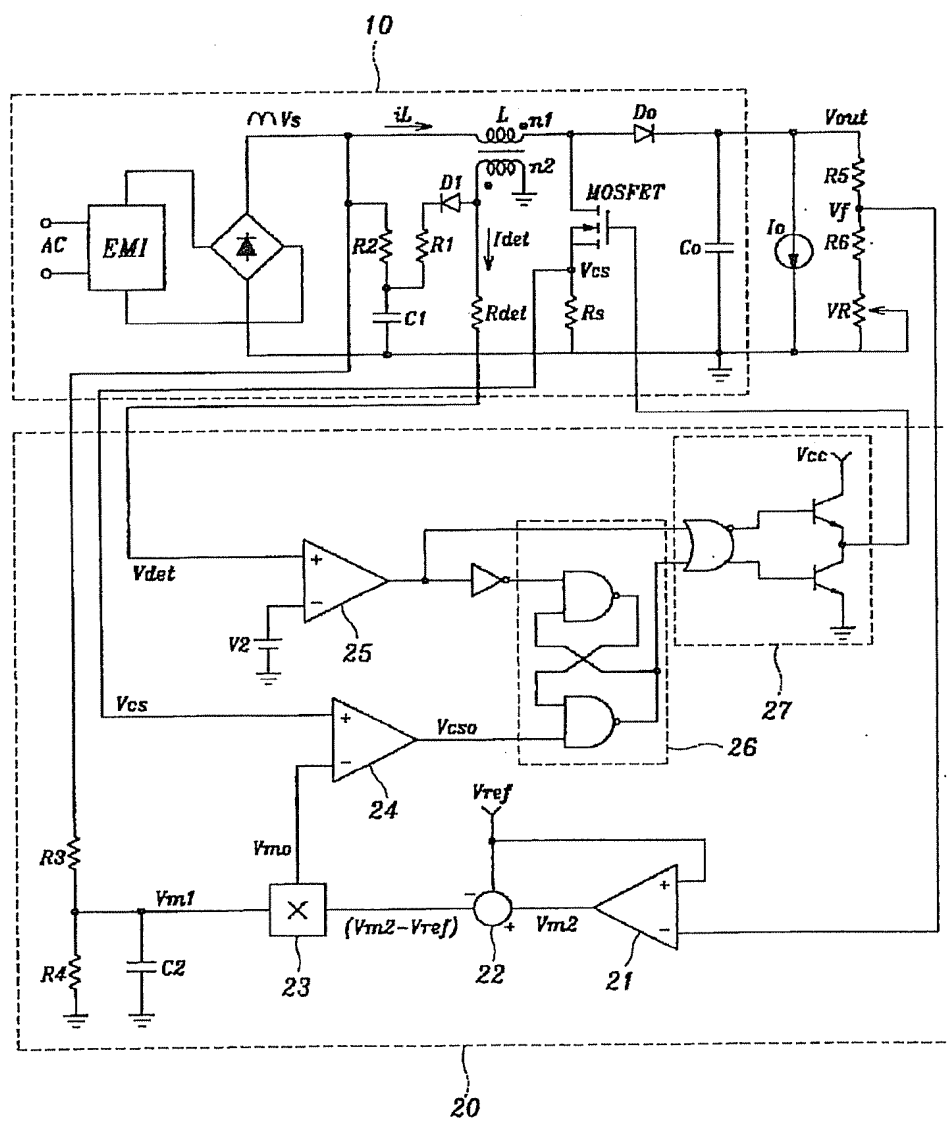
【図2】



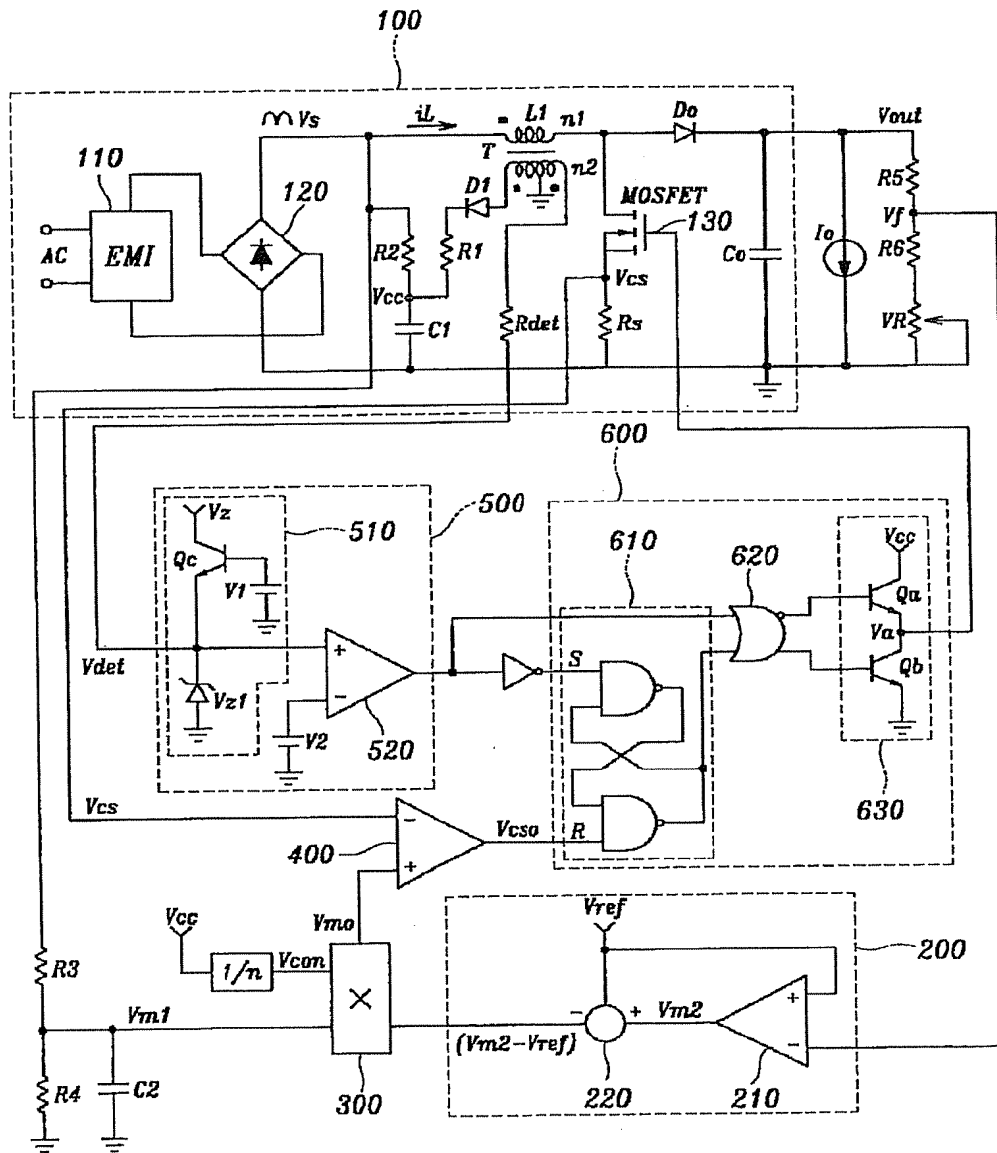
【図5】



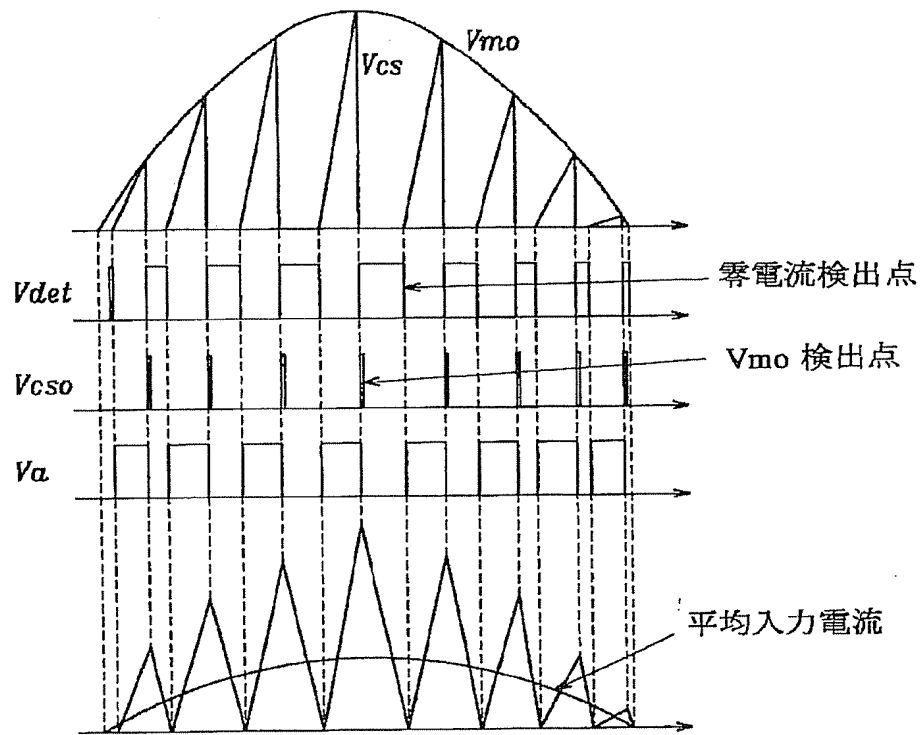
【図 1】



【図 3】



【図 4】



【図6】

